

Diseño de un regulador con rechazo a variaciones de la fuente de alimentación

Regulator design with high power supply rejection

Gómez O., Hector¹., Angarita C., Francisco² y Neira T., Carlos Andres²
Fundación Universitaria de San Gil - Unisangil, Facultad de Ciencias Naturales e Ingeniería
Programa Ingeniería Electrónica
San Gil, Colombia

hgomez@unisangil.edu.co
carlosneira@unisangil.edu.co
franciscoangarita@unisangil.edu.co

Fecha de Recepción: agosto 11 de 2014
Fecha de Aceptación: octubre 14 de 2014

Resumen —Este artículo contiene el diseño de un regulador de tensión lineal de baja caída con rechazo a variaciones de la fuente de alimentación. El regulador utiliza una técnica de cancelación de rizado para reducir las variaciones de la fuente de suministro, cuyas características son presentadas en este documento. Dicho diseño fue realizado con las herramientas del software SYNOPSIS, simulador adquirido por Unisangil; para éste se trabajó con una tecnología de 90 nanómetros. El regulador está compuesto por un voltaje de referencia, un amplificador de error, el transistor de potencia, resistencias de retroalimentación y capacitancia de compensación. Se trabajó con una tensión de alimentación de 1,4V, y un voltaje regulado de 1,2V. Las simulaciones resultado muestran que el regulador siempre es estable sin importar variaciones de carga o de línea; también se muestra gráficamente el PSRR sin carga de -49,9 dB para una frecuencia de 100kHz y con carga de 25mA el PSRR -27 dB para una frecuencia 100kHz.

Palabras clave— Regulador de baja caída (LDO), rechazo a variaciones de la fuente (PSR), voltaje de referencia.

Abstract- This paper contains the design of a linear low dropout regulator, with power supply variation rejection. The regulator uses a ripple cancellation technique to reduce variations of the supply source, whose characteristics are presented in this paper. The design was done with SYNOPSIS software tools, simulator purchased by Unisangil. Design was worked with 90 nanometer technology. The regulator is composed of a reference voltage, the error amplifier, a power transistor, a feedback resistors and a compensation capacitance. They work with a supply voltage of 1.4 V, and regulated voltage of 1.2 V. The results of simulations show that the controller is always stable regardless of variations in both load and line; simulation also shown graphically PSRR uncharged of -49,9 dB for a frequency of 100kHz and with load of 25mA PSRR -27 dB for a frequency of 100kHz.

Keywords- Low Drop-Out Regulator (LDO), Power Supply Rejection (PSR), Reference Voltage.

I. INTRODUCCIÓN

Ante las grandes demandas de elementos electrónicos portátiles como computadores, celulares y demás, se ve la necesidad de diseñar sistemas reguladores que administren la energía entregada por las baterías [1]. Un regulador lineal obtiene la energía de la fuente de suministro la cual es inestable ante las variaciones de la carga, para estabilizar el voltaje y generar un bajo nivel de ruido a la salida; por otra parte el voltaje a través del regulador lineal debe ser bajo, lo suficiente como para limitar sus pérdidas de energía; por esto es importante investigar sobre reguladores con bajas caídas de voltaje y alto rechazo a variaciones de la fuente [2]. Un regulador de tensión idealmente tiene un voltaje constante de salida independiente a la fuente de alimentación y las variaciones de la carga, características que se encuentran en los reguladores LDO (*lowdropoutregulator*) con alto PSR (*powersupplyrejection*) [3].

El propósito de este artículo es dar a conocer el circuito implementado de un regulador LDO con alto PSR, donde se describe su estructura, funcionamiento, características del circuito al variar la fuente de alimentación (VDD) y la carga, para esto se muestra gráficamente el comportamiento del transitorio del circuito y el PSRR. El buen desempeño del PSR es propio de la efectividad del rizo de realimentación (*feedforward*) proporcionado por la etapa de mejora de PSR [4].

Este documento se organiza de la siguiente manera: en la sección II se hace una ilustración del funcionamiento de los reguladores; la sección III muestra la topología del regulador implementado; en la sección IV, resultados de simulación del circuito, teniendo en cuenta variaciones de la

¹ Docente Investigador programa Ingeniería Electrónica; Unisangil

² Estudiante de grado, Ingeniería Electrónica; Unisangil

carga y de línea; finalmente, la sección V presenta algunas conclusiones sobre el proceso de diseño.

II. REGULADORES DE TENSIÓN

La función de los reguladores de tensión es proporcionar un voltaje estable a un determinado circuito. Los reguladores comparan el voltaje de salida con un voltaje fijo generalmente proveniente de una fuente de referencia. La diferencia es amplificada y usada para controlar el elemento de regulación de tal forma que se reduzca el error existente en el voltaje de salida con respecto al voltaje de referencia. Para mejorar el voltaje de regulación se aumenta la ganancia de lazo abierto pero se reduce la estabilidad en el circuito (lo cual puede ocasionar una oscilación de voltaje) [5]. Los reguladores de tensión se clasifican en:

A. Reguladores en serie o lineales

Un regulador en serie controla la tensión de salida ajustando continuamente la caída de tensión con un transistor de potencia conectado en serie entre la entrada no regulada y la carga. Como el transistor conduce corriente continuamente, éste opera en la región lineal. Su eficiencia está alrededor del 20% y solo resulta eficiente a bajas potencias (<5w).

B. Regulación de conmutación

Utiliza un transistor de potencia como conmutador de alta frecuencia que está constantemente conmutado entre corte y saturación. En estas regiones de operación, el transistor disipa muy poca potencia (típicamente menos de 1mW en corte y menos de 1W en saturación). Debido a este modo de operación la energía se transfiere a la carga por medio de paquetes discretos, estos pulsos se convierten en corriente continua mediante un filtro inductivo y capacitivo. Los reguladores de conmutación tienen una eficiencia hasta del 80% y se utilizan especialmente en sistemas livianos, además pueden generar tensiones de salida mayores que la entrada no regulada y tensiones de salida de polaridad opuesta a la entrada [6]. A continuación en la tabla 1 se presenta un paralelo entre las características de los reguladores lineales y de conmutación.

TABLA 1. REGULADOR LINEAL VS REGULADOR DE CONMUTACIÓN

Regulador lineal	Regulador de conmutación
Rango de salida limitada ($V_{out} < V_{in}$)	Rango de salida flexible ($V_{out} \leq V_{in}$ or $V_{out} \geq V_{in}$)
Circuito simple	Circuito complejo
Bajo contenido de ruido	Alto contenido de ruido
Respuesta rápida	Respuesta lenta
Eficiencia de potencia limitada ($\eta < V_{out}/V_{in}$)	Eficiencia de potencia alta ($\eta=80-95\%$)
Bueno para aplicaciones de baja potencia	Bueno para aplicaciones de alta potencia

C. Regulador LDO

La estructura de un LDO se muestra en la figura 1. Está compuesta por un voltaje de referencia, el amplificador de error, un transistor de potencia, resistencias de retroalimentación (R1, R2) y un condensador de salida (CL) con su equivalente en paralelo con (RL). Algunos de los parámetros más importantes a considerar en el diseño de un LDO son la corriente de salida, baja caída de tensión, regulación de línea y de carga, la respuesta transitoria, el ruido y PSR, siendo ésta una importante medida de rendimiento [7].

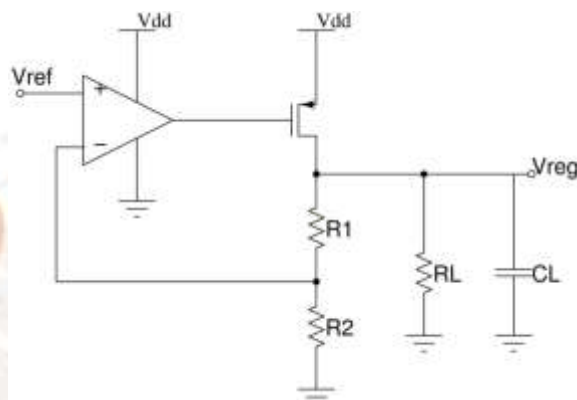


Fig. 1 Estructura de un LDO.

D. Especificaciones en estado estático

Las especificaciones en estado estático incluyen efectos de regulación de línea, de carga y de coeficiente de temperatura. La regulación de línea define la relación de la variación del voltaje de salida a un cambio dado en el voltaje de entrada. Los efectos teóricos de la regulación de línea están dados por (1)

$$LiR = \frac{\Delta V_{out}}{\Delta V_{in}} \approx \frac{g_{mp} r_{op}}{A\beta} + \frac{1}{\beta} \left(\frac{\Delta V_{Ref}}{\Delta V_{in}} \right) \quad (1)$$

El coeficiente de temperatura define la variación del voltaje de salida debido al cambio de referencia y el voltaje de offset a la entrada del amplificador de error; el coeficiente de temperatura está dado por (2).

$$TC = \frac{1}{V_{out}} * \frac{\partial V_{out}}{\partial Temp} \approx \frac{1}{V_{out}} * \frac{\Delta V_{TC}}{\Delta Temp} = \frac{(\Delta V_{TCRef} + \Delta V_{TCOffset}) * \frac{V_{out}}{V_{Ref}}}{V_{out} * \Delta Temp} \quad (2)$$

La regulación de carga es la variación de voltaje sin carga y con carga relacionando en ella la ganancia de lazo $A\beta$ y la impedancia de salida r_{op} tal y como se muestra en (3)

$$LR_{load} = \frac{\Delta V_{out}}{\Delta I_{out}} \approx \frac{r_{op}}{1+A\beta} \quad (3)$$

El voltaje de dropout del regulador LDO determina la corriente máxima y el voltaje de alimentación mínimo, sus especificaciones dependen de los parámetros del transistor de paso.

E. Especificaciones en estado dinámico

Las especificaciones en estado dinámico del LDO hacen referencia a la habilidad del circuito de regular el voltaje de salida durante las condiciones transitorias de carga y línea; el regulador LDO debe tener respuestas rápidas en el tiempo para reducir variaciones en el voltaje de salida. El estado dinámico depende de la capacidad de gran señal del regulador LDO. Los transitorios de carga definen la habilidad del LDO para regular el voltaje de salida durante los cambios transitorios rápidos en la carga. Las variaciones en el voltaje de salida se dan cuando los valores de corriente de la carga van del valor mínimo de la carga al valor máximo. La capacidad del LDO para regular el voltaje de salida durante largos transitorios de corriente, depende del ancho de banda en lazo cerrado, la capacitancia de salida y la corriente de carga. Las variaciones del voltaje de salida pueden ser representadas por (4).

$$\Delta V_{out} = \frac{I_{max} \cdot \Delta t}{C_{out}} \quad (4)$$

La corriente máxima de salida es especificada por Imax, corresponde a la respuesta en el tiempo del LDO; Cout hace referencia a la capacitancia y al nodo de salida del regulador. Es aproximadamente el recíproco del ancho de banda en lazo cerrado del LDO.

F. Especificaciones de alta frecuencia

El PSRR del regulador LDO define el rechazo al ruido de alta frecuencia de la entrada causado por las variaciones de voltaje. El PSRR es una función de las capacitancias parásitas del transistor de paso y es proporcional al del lazo de ganancia. El amplificador de error juega un papel muy importante en el mejoramiento de las variaciones de la fuente de alimentación (PSRR), ya que la suma del PSRR del amplificador de error y el PSRR del transistor de paso debe ser cero en el nodo de salida de voltaje. El PSRR puede ser obtenido mediante (5).

$$PSRR = \frac{\partial V_{Rect,Ripple}}{\partial V_{In,Ripple}} \quad (5)$$

G. Eficiencia del regulador LDO

La eficiencia del regulador está determinada por tres parámetros: corriente a tierra, corriente de carga y el voltaje

de drop del transistor de paso; donde la corriente a tierra es la corriente sin carga del LDO. La ecuación (6) se refiere a la eficiencia de potencia del LDO.

$$Eff = \frac{V_{out} \cdot I_{Load}}{V_{in} \cdot (I_{Gnd} + I_{Load})} \quad (6)$$

Otro caso para la eficiencia de potencia es para corrientes de carga pequeñas y para corrientes de carga grandes. Tal como se muestra en la ecuación (7)

$$Eff = \frac{I_{Load}}{I_{Gnd} + I_{Load}} \quad (7)$$

Por lo tanto, la corriente a tierra afecta a la eficiencia del regulador LDO, más en las corrientes de cargas muy bajas. La eficiencia del regulador lineal se aproxima al 100% en el momento en que la tensión de salida se acerca a la tensión de entrada. Dicho escenario requiere de un transistor de paso muy grande pero daría lugar a una capacitancia de gate también grande, por lo tanto existe un compromiso entre la eficiencia y la velocidad del regulador LDO [6].

III. TOPOLOGÍA DEL REGULADOR

Para el desarrollo del trabajo se toma como base la propuesta [7] que utiliza un esquema básico para el regulador con cancelación de rizado feedforward.

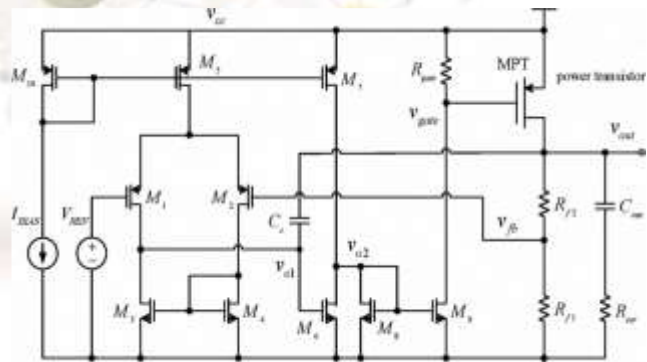


Fig. 2 Esquemático de amplificador más transistor de potencia.

La figura 2 muestra el esquema propuesto por [7] que está dividido en tres partes: el amplificador de error, la red de retroalimentación y el transistor de potencia.

El amplificador de error consiste en un par diferencial (M1, M2) con carga activa en la etapa de entrada, luego una etapa de fuente común M6 con espejo de corriente M8, para reducir la impedancia de salida y las variaciones de la fuente de alimentación. Por último se utiliza una etapa fuente común M9 con una resistencia de puerta, la cual hace la inversa a la etapa anterior; el voltaje y corriente en la resistencia varía según la fuente de alimentación, razón por la cual tales variaciones se ven reflejadas en la compuerta del transistor de potencia amplificadas negativamente.

Entretanto, el transistor de potencia amplifica las variaciones de la fuente positivamente, lo que significa que a la salida del regulador estos ruidos se cancelan mejorando el rechazo a estas variaciones.

El siguiente paso del proyecto consistió en hacer simulaciones para ver cuál es el desempeño e identificar qué puede ser mejorado.

IV. RESULTADOS

Los resultados se presentan por medio de simulaciones realizadas con el programa SYNOPSIS, herramienta adquirida para la realización del proyecto, la cual tiene una licencia académica y puede ser usada para investigación. La tecnología utilizada es de 90 nm contando con la posibilidad de hacer diseño esquemático, simulaciones, layout1 y simulaciones post-layout. El circuito fue diseñado para obtener una tensión de regulada de 1,2 V con una tensión de alimentación de 1,4 V con un consumo de corriente de 31 μ A.

Teniendo en cuenta el desarrollo de las diferentes simulaciones ejecutadas, a continuación en la figura 3 se muestra la respuesta en frecuencia del circuito en lazo abierto, simulación necesaria para observar la ganancia de 76 dB y el margen de fase de 97°, que determina las de estabilidad y da una idea del error que se puede generar en la obtención de la tensión de regulación.

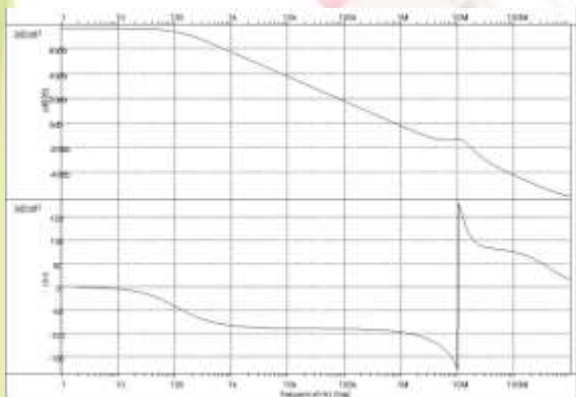


Fig. 3 Respuesta en frecuencia sin carga.

Además, se hicieron dos simulaciones del PSRR: una para una corriente de 0 mA y otra para una corriente de 25 mA, donde en 0 mA se obtuvo un PSRR aproximadamente de -49,9 dB para una frecuencia 100kHz (figura 4) y para corrientes de carga de 25 mA se obtuvo un PSRR aproximadamente de -27 dB para una frecuencia de 100kHz (figura 5).

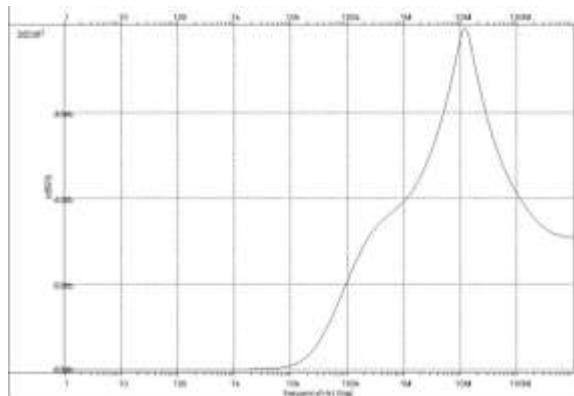


Fig. 4PSRR sin carga.

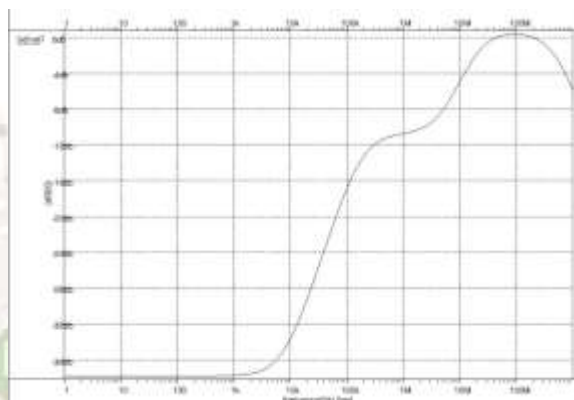


Fig. 5PSRR con carga.

En las figuras 6 y 7 se puede observar la respuesta transitoria del regulador tanto de línea como de carga, donde se evidencia que a pesar de las variaciones de entrada, en la salida se obtiene un voltaje regulado con pulsos que se estabilizan rápidamente.

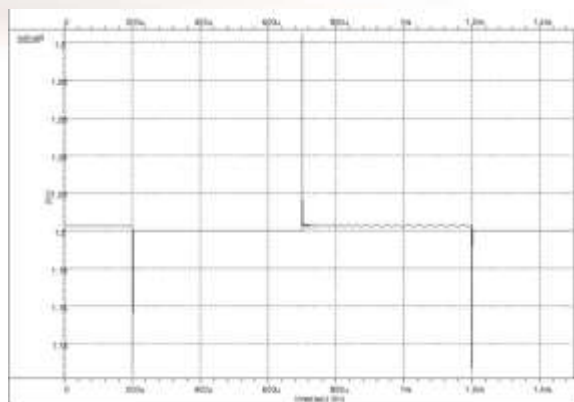


Fig. 6 Respuesta transitoria de carga.

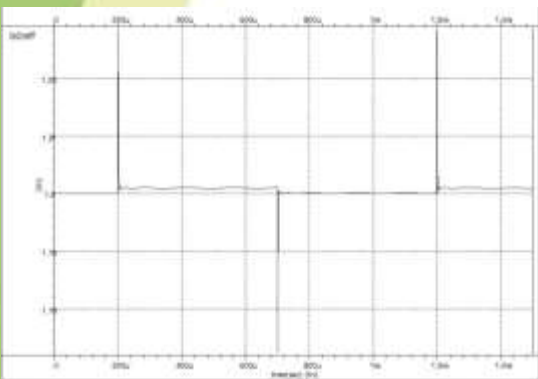


Fig. 7 Respuesta transitoria de línea.

En la figura 8 se observa la gráfica de la regulación de carga, donde se muestra el comportamiento del voltaje regulado en la variación de carga de 0 a 25mA, habiendo obtenido una regulación de 0,1V/mA.

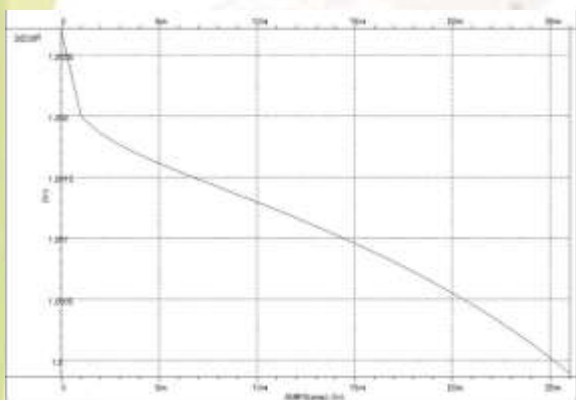


Fig. 8. Regulación de carga.

En la figura 9 se muestra la gráfica de la regulación de línea, donde se observa el comportamiento del voltaje regulado en la variación de línea de 1,4 a 1,9V, la cual corresponde a 1,63 V/V.

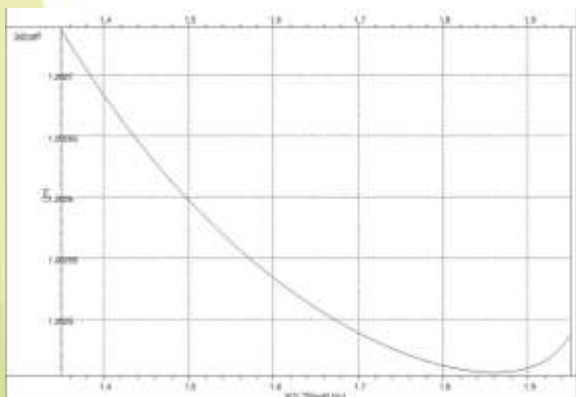


Fig. 9 Regulación de línea.

TABLA 2. ESPECIFICACIONES

Especificaciones	Valor
Ganancia [dB]	76
Potencia [μ W]	35
Vcc[V]	1.4
PSRR [dB]@100 kHz con carga	-27
Margen de fase [deg]	97
Regulación carga[V/mA]	0,1
Regulación línea [V/V]	1,63

Como se pudo apreciar en las figuras 8 y 9 se tiene un buen acercamiento a las características ideales del LDO, donde se quiere una regulación lineal.

V. CONCLUSIONES

Se diseñó un regulador lineal de baja caída de voltaje con rechazo a las variaciones de la fuente de alimentación. Dicho regulador se alimentó con una tensión de 1,4V buscando un voltaje regulado de 1,2V; se pudo mostrar mediante las simulaciones que se alcanza una estabilidad muy rápida a las perturbaciones en la entrada dando como resultado una regulación de línea de 1,63 V/V y regulación de carga de 0,1V/mA. También se logró un bajo consumo de corriente, el cual es de 31 μ A y una potencia de 35 μ W.

El rendimiento del LDO muestra un PSRR de 27 dB a 100 kHz.

REFERENCIAS

- [1] G. A. Rincon-Mora and P. E. Allen, "A low-voltage, low quiescent current, low drop-out regulator," *IEEE J. of Solid-State Circuits*, vol. 33, no. 1, pp. 36-44, Jan. 1998.
- [2] Abraham Islas Ohlmaier, "Design of Programmable, Low Power, Low Dropout Regulators for Portable Applications", Master of Science Degreeed Dissertation, Texas A&M University, December, 2005.
- [3] Robert Jon Milliken, "A Capacitor-Less Low Dropout Voltage Regulator With Fast Transient Response", Master of Science Degreeed Dissertation, Texas A&M University, December 2005.
- [4] M. Al-Shyoukh, H. Lee and R. Perez, "A transient-enhanced low quiescent current low-dropout regulator with buffer impedance attenuation", *IEEE J. Solid-State Circuits*, vol. 42, no. 8, pp. 1732-1742, Aug. 2007.
- [5] Ying, P., Leung, K.N.: An output-capacitor less low-dropout regulator with direct voltage-spike detection", *IEEE J. Solid-State Circuits*, 2010, 45, pp. 458-466
- [6] A. Garimella, M. W. Rashid, and P. M. Furth, "Reverse nested miller compensation using current buffers in a three-stage LDO," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 57, no. 4, pp. 250-254, Apr. 2010.
- [7] W. Li, R. Yao, and L. Guo, "A CMOS low-dropout regulator with high power supply rejection," in *Electron Devices and Solid-State Circuits, 2009. EDSSC 2009. IEEE International Conference of*, 2009, pp. 384-387.